

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Minoru SUZUKI, et al.**

Serial No.: Not Yet Assigned

Filed: December 14, 2001

**For: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING A
SEMICONDUCTOR DEVICE**

A standard linear barcode oriented vertically. To its left, the word "U.S. POSTAGE" is printed vertically, followed by the number "10". Below the barcode, the date "12/14/01" is printed. Handwritten text is overlaid on the left side of the barcode:
3 priority
paper
4-24-02
postage

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

December 14, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2000-382184, filed December 15, 2000

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
MCLELAND & NAUGHTON, LLP

Atty. Docket No.: 011622
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
MRQ/l1

日本国特許庁
JAPAN PATENT OFFICE

JC858 U.S. PTO
10/10/4407
12/14/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年12月15日

出願番号
Application Number:

特願2000-382184

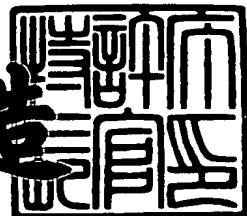
出願人
Applicant(s):

新電元工業株式会社

2001年 8月 3日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3068284

【書類名】 特許願

【整理番号】 00-0197

【あて先】 特許庁長官 殿

【国際特許分類】 H01C 7/12

【発明者】

【住所又は居所】 埼玉県飯能市南町10番13号 新電元工業株式会社飯能工場内

【氏名】 鈴木 稔

【発明者】

【住所又は居所】 埼玉県飯能市南町10番13号 新電元工業株式会社飯能工場内

【氏名】 吉田 進

【特許出願人】

【識別番号】 000002037

【氏名又は名称】 新電元工業株式会社

【代理人】

【識別番号】 100102875

【住所又は居所】 東京都港区虎ノ門1丁目2番18号虎ノ門興業ビル3階

【弁理士】

【氏名又は名称】 石島 茂男

【電話番号】 03-3592-8691

【選任した代理人】

【識別番号】 100106666

【住所又は居所】 東京都港区虎ノ門1丁目2番18号虎ノ門興業ビル3階

【弁理士】

【氏名又は名称】 阿部 英樹

【電話番号】 03-3592-8691

【手数料の表示】

【予納台帳番号】 040051

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体装置の製造方法

【特許請求の範囲】

【請求項1】 N型とP型の一方を第1導電型とし、他方を第2導電型としたときに、

第1導電型の半導体基板を有し、

前記半導体基板内に、第1導電型であって前記半導体基板よりも高濃度の第1、第2の埋込層と、第1導電型の第1、第2のエミッタ層と、第2導電型の第1、第2のベース層と、が形成された半導体装置であって、

前記半導体基板で構成される基板層は、前記第1、第2の埋込層で挟まれ、

前記第1、第2のベース層は、前記第1、第2の埋込層の外側に位置し、前記第1、第2の埋込層とPN接合を形成し、

前記第1、第2のエミッタ層は、前記前記第1、第2のベース層の内部の表面近傍に配置され、前記第1、第2のベース層とPN接合を形成し、

前記第1、第2のエミッタ層と前記第1、第2の埋込層の間には前記第1、第2のベース層がそれぞれ位置し、前記第1、第2のベース層と前記基板層の間には、前記第1、第2の埋込層がそれぞれ位置する半導体装置。

【請求項2】 前記半導体基板の表面側と裏面側には、第1、第2の電極膜がそれぞれ形成され、

前記第1の電極膜により、前記第1のエミッタ層と前記第1のベース層とが電気的に短絡され、

前記第2の電極膜により、前記第2のエミッタ層と前記第2のベース層とが電気的に短絡された請求項1記載の半導体装置。

【請求項3】 前記半導体基板の表面と裏面には、底面が前記埋込層に達するリング形状の第1、第2の溝がそれぞれ形成され、

前記第1、第2のエミッタ層は、前記第1、第2の溝の内側に配置された請求項2記載の半導体装置。

【請求項4】 前記第1、第2の溝の内部は、シリコン酸化物で充填された請求項3記載の半導体装置。

【請求項5】前記半導体基板の前記第1、第2の溝の外周の表面には、前記第1、第2のベース層が位置する請求項3又は請求項4のいずれか1項記載の半導体装置。

【請求項6】前記半導体基板の前記第1、第2の溝の外周の表面には、前記第1、第2の埋込層が位置する請求項3又は請求項4のいずれか1項記載の半導体装置。

【請求項7】N型とP型の一方を第1導電型とし、他方を第2導電型としたときに、

第1導電型の半導体基板の内部の表面側と裏面側の表面近傍に第1導電型の第1、第2の埋込層を形成し、前記半導体基板の残部から成る基板層を前記第1、第2の埋込層で挟み、

前記第1、第2の埋込層内部の表面近傍に、底面が該第1、第2の埋込層内部に位置する第2導電型の第1、第2のベース層をそれぞれ形成し、

前記第1、第2のベース層内部の表面近傍に、底面が該第1、第2のベース層内部に位置する第1導電型の第1、第2のエミッタ層を形成する半導体装置の製造方法。

【請求項8】前記第1、第2の埋込層は、前記半導体基板の表面側及び裏面側の表面を全部露出させた状態で、前記半導体基板内に第1導電型の不純物を導入し、前記第1導電型の不純物を拡散して形成する請求項7記載の半導体装置の製造方法。

【請求項9】前記第1、第2のベース層は、前記第1、第2の埋込層の表面を全部露出させた状態で第2導電型の不純物を前記第1、第2の埋込層内に導入し、前記第2導電型の不純物を拡散して形成する請求項8記載の半導体装置の製造方法。

【請求項10】前記第1、第2のエミッタ層を形成した後、前記半導体基板の表面側と裏面側に、前記第1、第2のエミッタ層を取り囲む第1、第2の溝を形成する請求項7乃至請求項9のいずれか1項記載の半導体装置の製造方法。

【請求項11】前記第1、第2の溝の内部をシリコン酸化物で充填し、第1、第2の保護膜をそれぞれ形成した後、前記第1、第2のエミッタ層と、前記第

1、第2のベース層とをそれぞれ短絡させる第1、第2の電極膜を形成する請求項10記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の技術分野にかかり、特に、サージ防護素子の構造に関する。

【0002】

【従来の技術】

従来より、2端子型のサージ防護素子は、落雷等で発生するサージ電圧から電子回路を保護する半導体装置として広く使用されている。

【0003】

図10の符号101は、その半導体装置の従来技術のものの一例であり、N型の基板109内部の表面側と裏面側の両方の表面近傍の一部分には、P型のベース層113a、113bがそれぞれ配置されており、基板109とベース層113a、113bとの間にPN接合が形成されている。

【0004】

ベース層113a、113bは、この半導体装置101の略中央付近に位置し、角部分が丸められた四角形状にパターニングされている。そのベース層113a、113bの内部の表面近傍の一部には、N型のエミッタ層122a、122bがそれぞれ配置されており、各エミッタ層122a、122bとベース層113a、113bとの間でPN接合が形成されている。

【0005】

また、ベース層113a、113bの内部の表面近傍のエミッタ層122a、122bが配置されていない部分には、P型で表面濃度の高いオーミック層121a、121bが配置されている。

【0006】

基板109の表面側と裏面側のエミッタ層122a、122b及びオーミック層121a、121bの表面には、それぞれ電極膜127a、127bが形成さ

れている。表面側の電極膜127aは、表面側のエミッタ層122aとオーミック層121aに電気的に接続されており、基板109には接続されていない。また、裏面側の電極膜127bは、表面側のエミッタ層122bとオーミック層121bに電気的に接続されており、基板109には接続されていない。

【0007】

このような構造の半導体装置101は、表面側から見ても裏面側から見てもP N P Nの4層構造になっており、いずれの電極膜127a、127bに高電圧が印加されても、ベース層113a、113bと基板109との間のPN接合が逆バイアスになり、そのPN接合がなだれ降伏することによって電流が流れる。

【0008】

一旦電流が流れるとP N P N構造がラッチアップし、電極膜127a、127b間に、なだれ降伏したときの電圧よりも定電圧の状態で保持される。従って、この半導体装置101を電子回路と並列接続しておくと、電子回路にサージ電圧が印加されたときに、半導体装置101が導通し、電子回路にサージ電圧が印加されないようにすることができる。

【0009】

しかしながら、上記の半導体装置101では、ベース層113a、113bと基板110との間に形成されるPN接合が破壊されやすく、信頼性が低いという欠点がある。

【0010】

また、半導体装置101の信頼性を向上させるために、基板110の内部に高濃度のN形層を設け、そのN形層とベース層113a、113bとの間にPN接合を形成させる構造が提案されているが、N形層をベース層113a、113bよりも深部に埋め込むため、複雑な工程が必要になるという問題がある。

【0011】

【発明が解決しようとする課題】

本発明は上記従来技術の不都合を解決するために創作されたものであり、その目的は、簡単な製造工程、簡単な構造で信頼性が高いサージ防護用半導体装置を提供することにある。

【0012】

【課題を解決するための手段】

上記課題を解決するために、請求項1記載の発明は、請求項1記載の発明は、N型とP型の一方を第1導電型とし、他方を第2導電型としたときに、第1導電型の半導体基板を有し、前記半導体基板内に、第1導電型であって前記半導体基板よりも高濃度の第1、第2の埋込層と、第1導電型の第1、第2のエミッタ層と、第2導電型の第1、第2のベース層と、が形成された半導体装置であって、前記半導体基板で構成される基板層は、前記第1、第2の埋込層で挟まれ、前記第1、第2のベース層は、前記第1、第2の埋込層の外側に位置し、前記第1、第2の埋込層とPN接合を形成し、前記第1、第2のエミッタ層は、前記前記第1、第2のベース層の内部の表面近傍に配置され、前記第1、第2のベース層とPN接合を形成し、前記第1、第2のエミッタ層と前記第1、第2の埋込層の間には前記第1、第2のベース層がそれぞれ位置し、前記第1、第2のベース層と前記基板層の間には、前記第1、第2の埋込層がそれぞれ位置する半導体装置である。

請求項2記載の発明は、前記半導体基板の表面側と裏面側には、第1、第2の電極膜がそれぞれ形成され、前記第1の電極膜により、前記第1のエミッタ層と前記第1のベース層とが電気的に短絡され、前記第2の電極膜により、前記第2のエミッタ層と前記第2のベース層とが電気的に短絡された請求項1記載の半導体装置である。

請求項3記載の発明は、前記半導体基板の表面と裏面には、底面が前記埋込層に達するリング形状の第1、第2の溝がそれぞれ形成され、前記第1、第2のエミッタ層は、前記第1、第2の溝の内側に配置された請求項2記載の半導体装置である。

請求項4記載の発明は、前記第1、第2の溝の内部は、シリコン酸化物で充填された請求項3記載の半導体装置である。

請求項5記載の発明は、前記半導体基板の前記第1、第2の溝の外周の表面には、前記第1、第2のベース層が位置する請求項3又は請求項4のいずれか1項記載の半導体装置である。

請求項6記載の発明は、前記半導体基板の前記第1、第2の溝の外周の表面には、前記第1、第2の埋込層が位置する請求項3又は請求項4のいずれか1項記載の半導体装置である。

請求項7記載の発明は、N型とP型の一方を第1導電型とし、他方を第2導電型としたときに、第1導電型の半導体基板の内部の表面側と裏面側の表面近傍に第1導電型の第1、第2の埋込層を形成し、前記半導体基板の残部から成る基板層を前記第1、第2の埋込層で挟み、前記第1、第2の埋込層内部の表面近傍に、底面が該第1、第2の埋込層内部に位置する第2導電型の第1、第2のベース層をそれぞれ形成し、前記第1、第2のベース層内部の表面近傍に、底面が該第1、第2のベース層内部に位置する第1導電型の第1、第2のエミッタ層を形成する半導体装置の製造方法である。

請求項8記載の発明は、前記第1、第2の埋込層は、前記半導体基板の表面側及び裏面側の表面を全部露出させた状態で、前記半導体基板内に第1導電型の不純物を導入し、前記第1導電型の不純物を拡散して形成する請求項7記載の半導体装置の製造方法である。

請求項9記載の発明は、前記第1、第2のベース層は、前記第1、第2の埋込層の表面を全部露出させた状態で第2導電型の不純物を前記第1、第2の埋込層内に導入し、前記第2導電型の不純物を拡散して形成する請求項8記載の半導体装置の製造方法である。

請求項10記載の発明は、前記第1、第2のエミッタ層を形成した後、前記半導体基板の表面側と裏面側に、前記第1、第2のエミッタ層を取り囲む第1、第2の溝を形成する請求項7乃至請求項9のいずれか1項記載の半導体装置の製造方法である。

請求項11記載の発明は、前記第1、第2の溝の内部をシリコン酸化物で充填し、第1、第2の保護膜をそれぞれ形成した後、前記第1、第2のエミッタ層と、前記第1、第2のベース層とをそれぞれ短絡させる第1、第2の電極膜を形成する請求項10記載の半導体装置の製造方法である。

【0013】

本発明は上記のように構成されており、第1、第2の埋込層は、半導体基板の

表面側及び裏面側の表面が全部露出された状態で半導体基板内に不純物が導入されて形成されている。従って、第1、第2の埋込層をパターニングする工程が不要である。

【0014】

第1、第2のベース層は、その第1、第2の埋込層内部の表面近傍位置に配置されており、第1、第2のベース層は、第1、第2の埋込層との間でPN接合を形成し、基板層との間ではPN接合を形成しないようになっている。

【0015】

第1、第2のベース層が、第1、第2の埋込層の表面を全部露出させた状態で形成され、底部が前記第1、第2の埋込層に達するリング状の第1、第2の溝によって、第1、第2の溝のリング内側部分が半導体デバイスの切断面から分離される場合、第1、第2のベース層と第1、第2の埋込層との間に形成されるPN接合には球状接合や円筒接合の部分が無く、プレーナ接合の部分だけで構成されるようになる。

【0016】

また、第1、第2のベース層を第1、第2の埋込層内に部分的に形成する場合には、第1、第2のベース層と第1、第2の埋込層との間に形成されるPN接合の球状接合部分と円筒接合部分を、第1、第2の溝によって除去し、プレーナ接合の部分だけで構成することができる。

【0017】

いずれの場合でも、第1、第2のベース層と第1、第2の埋込層との間に形成されるPN接合の端部は第1、第2の溝内に露出し、半導体基板表面には露出しない。

【0018】

第1、第2の溝の内部をガラス粉末等のシリコン酸化物等で充填し、焼成して第1、第2の保護膜を形成しておくと、PN接合の電気的特性が劣化することはない。

【0019】

【発明の実施の形態】

本発明のサージ防護素子、即ち本発明の半導体装置を、その製造方法と共に図面を用いて説明する。

【0020】

図1(a)～図3(k)は、本発明の第1例の半導体装置の製造方法を説明するための工程図である。第1導電型をN型(N⁻型、N⁺型、N⁺⁺型を含む)、第2導電型をP型(P⁻型、P⁺型、P⁺⁺型を含む)として説明する。

【0021】

図1(a)を参照し、先ず高抵抗のN⁻型のシリコン単結晶から成る半導体基板9を用意する。ここでは半導体基板9には、20Ω·cm以上、60Ω·cm以下程度の比抵抗(濃度換算で、 $2 \times 10^{14} \text{ cm}^3$ 以下 $7 \times 10^{13} \text{ cm}^3$ 以上)のものを用いた。

【0022】

次いで、半導体基板9の表面側及び裏面側の全表面を露出させた状態で、リンを打ち込み、図1(b)に示すように、半導体基板9の表面側及び裏面側の表面近傍に、高濃度N型層11a、11bを形成する。

【0023】

次いで、図1(c)に示すように、熱処理によって高濃度N型層11a、11bを拡散させると、表面濃度が半導体基板9の濃度よりも高いN型の第1、第2の埋込層12a、12bが形成される。この状態では、第1、第2の埋込層12a、12b表面は、半導体基板9表面と一致している。

【0024】

図1(c)の符号10は、半導体基板9の残部である、低濃度N型の基板層を示している。この基板層10は、第1、第2の埋込層12a、12bで挟まれている。符号19a、19bは、拡散工程中に埋込層12a、12b表面にそれぞれ形成されるシリコン酸化膜を示している。

【0025】

次いで、シリコン酸化膜19a、19bを除去し、第1、第2の埋込層12a、12b表面を露出させた状態で、図1(d)に示すように、表面側及び裏面側の第1、第2の埋込層12a、12b内部の表面近傍に、ボロンの高濃度P型層1

4 a、14 bを形成する。ここでは、第1、第2の埋込層12 a、12 bの全表面に高濃度P型層14 a、14 bを形成した。

【0026】

次いで、所定時間の熱処理によってボロンの高濃度P型層14 a、14 bを拡散させると、図2(e)に示すように、表面側及び裏面側の半導体基板9の内部の表面近傍に、P形の第1、第2のベース層13 a、13 bがそれぞれ形成される。

【0027】

この拡散工程及び後述する拡散工程によっても、第1、第2のベース層13 a、13 bの底部は第1、第2の埋込層12 a、12 bと接しており、第1、第2のベース層13 a、13 bは基板層10に接していない。

【0028】

従って、基板層10の両側に、第1、第2の埋込層12 a、12 bが位置し、その埋込層12 a、12 bの外側に第1、第2のベース層13 a、13 bが位置し、第1、第2のベース層13 a、13 bと埋込層12 a、12 bとの間にPN接合が形成されている。

【0029】

また、第1、第2のベース層13 a、13 bの表面は、半導体基板9の表面と一致しており、第1、第2の埋込層12 a、12 bは、第1、第2のベース層13 a、13 bと、基板層10によって挟まれた状態になり、第1、第2の埋込層12 a、12 bは、半導体基板9の表面には露出していない。

【0030】

図2(e)の符号19 a、19 bは、拡散工程中に、表面側及び裏面側のベース層13 a、13 bの表面にそれぞれ形成されたシリコン酸化膜を示している。この写真工程及びエッティング工程により、シリコン酸化膜19 a、19 bの所定位に窓開けをし、その底面にベース層13 a、13 b表面を露出させた後、その露出部分に高濃度P型層を形成する。図2(f)の符号15 a、15 bは、シリコン酸化膜19 a、19 bに形成された窓開け部を示しており、符号16 a、16 bは、その高濃度P型層を示している。

【0031】

次いで、シリコン酸化膜19a、19bの窓開部16a、16bが形成されていない部分に窓開けをし、その底面にベース層13a、13bを露出させた後、その部分に、それぞれ高濃度N型層を形成する。図2(g)の符号17a、17bは、シリコン酸化膜19a、19bにそれぞれ形成された窓開部を示しており、符号18a、18bは、その窓開部17a、17bの底面に形成された高濃度N型層を示している。

【0032】

次いで、熱処理により、高濃度P型層16a、16bと高濃度N型層18a、18bを拡散させる。図2(h)は、拡散を行った後、その拡散工程中に形成されたシリコン酸化膜を除去した状態を示しており、高濃度P型層16a、16bの拡散により、第1、第2のオーミック層21a、21bが形成され、高濃度N型層18a、18bの拡散により、それぞれ第1、第2のエミッタ層22a、22bが形成される。

【0033】

第1、第2のオーミック層21a、21bと第1、第2のエミッタ層22a、22bとは、それぞれ第1、第2のベース層13a、13bの内部に形成されており、第1、第2のエミッタ層22a、22bと第1、第2のベース層13a、13bとの間ではPN接合が形成されている。

【0034】

この状態の表面側、及び裏面側のパターンは略同一である。その平面図を図6(a)に示す。第1、第2のエミッタ層22a、22bはメッシュ状に形成されており、第1、第2のベース層13a、13bの表面が、第1、第2のエミッタ層22a、22bの表面に点在して露出している。

【0035】

図2(h)は、図6(a)のA-A線断面図に相当する。また、第1、第2のエミッタ層22a、22b内に点在する第1、第2のベース層13a、13bを横断する切断線B-Bの断面図を図4に示す。

【0036】

次に、図2(h)や図4に示す状態から、リング状の開口部を有するレジスト膜を、半導体基板9の表面側及び裏面側の表面に形成し、開口部底面に露出する半導体基板9をエッチングし、溝を形成する。

【0037】

図3(i)は、溝を形成した後、レジスト膜を除去した状態であり、同図の符号25aは、半導体基板9表面側に形成された第1の溝を示しており、符号25bは、裏面側に形成された第2の溝を示している。

【0038】

第1、第2の溝25a、25bは、レジスト膜の開口のパターンに従い、リング形状になっている。

【0039】

第1、第2の溝25a、25bは、第1、第2のエミッタ層22a、22bと第1、第2のベース層13a、13bが形成するPN接合の部分と、第1、第2のオーミック層21a、21bと第1、第2のベース層13a、13bの境界の部分に沿って形成されており、第1、第2のエミッタ層22a、22bと、第1、第2のオーミック層21a、21bは、第1、第2の溝25a、25bのリングの内側に位置している。

【0040】

また、第1、第2の溝25a、25bは、第1、第2のベース層13a、13bと第1、第2の埋込層12a、12bとが形成するPN接合の部分よりも深い位置まで掘られており、ここでは、第1、第2の溝25a、25bの底部は、第1、第2の埋込層12a、12b内部に位置している。

【0041】

従って、第1、第2のベース層13a、13bの第1、第2の溝25aの内側の部分と外側の部分とは、埋込層12a、12bとの間で形成されるPN接合によって電気的に分離されている。

【0042】

次に、半導体基板9の表面側及び裏面側の表面にシリコン酸化物薄膜を付着させ、焼成した後、写真工程及びエッチング工程によって、第1、第2の溝25a

、25bのリング内側部分(及び、半導体基板9のスクライブラインの部分)を露出させる。

【0043】

この状態では、図3(j)に示すように、第1、第2の溝25a、25bの溝内部に充填されたシリコン酸化物と、リング外周部分の表面に位置するシリコン酸化物とによって、第1、第2の保護層26a、26bが形成されている。

【0044】

次に、図3(k)に示すように、表面側の第1のオーミック層21aと第1のエミッタ層22aの表面に、ニッケルなどの金属から成る第1の電極膜27aを形成し、裏面側の第2のオーミック層21bと第2のエミッタ層22bの表面に、第1の電極膜27と同じ材質の第2の電極膜27bを形成すると、本発明の半導体装置1が得られる。

【0045】

第1、第2のオーミック層21a、21bの表面濃度は第1、第2のベース層13a、13bの表面濃度よりも高くなっている、後述する第1、第2の電極膜を、第1、第2のオーミック層21a、21b及び第1、第2のエミッタ層22a、22bの表面に形成したときに、第1、第2のオーミック層21a、21bと第1、第2の電極膜とはオーミック接続され、第1、第2の電極膜は、第1、第2のオーミック層21a、21bを介して第1、第2のベース層13a、13bに電気的に接続される。

【0046】

また、第1、第2のエミッタ層22a、22bの表面濃度は十分高いから、第1、第2の電極膜と第1、第2のエミッタ層22a、22bとはオーミック接続される。

【0047】

第1、第2のオーミック層21a、21bと第1、第2のエミッタ層22a、22bの底部は第1、第2の埋込層12a、12bとは接していない。

【0048】

第1、第2の保護膜26a、26b及び第1、第2の電極膜27a、27bを

剥離した状態、即ち、図3(i)に示したのと同じ状態の表面側及び裏面側の平面図を図6(b)に示す。図6(b)のB-B線断面図を図5に示す。

【0049】

本発明の半導体装置1は、基板層10の濃度よりも第1、第2の埋込層12a、12bの濃度が高く、 $4 \sim 6 \Omega \cdot \text{cm}$ 程度の抵抗率である。従って、第1、第2のベース層13a、13bと第1、第2の埋込層12a、12bとの間に形成されるPN接合の耐圧は低く、 $200 \sim 500 \text{V}$ 程度である。

【0050】

なお、第1、第2のベース層13a、13bの深さは $20 \sim 30 \mu\text{m}$ 程度であり、第1、第2の埋込層12の深さは、 $30 \sim 40 \mu\text{m}$ 程度である。また、基板層10の厚みは $200 \sim 300 \mu\text{m}$ 程度である。

【0051】

この半導体装置1では、第1、第2のベース層13a、13bと基板層10との間にはPN接合は形成されておらず、低耐圧である第1、第2のベース層13a、13bと第1、第2の埋込層12a、12bとの間のPN接合の面積が大きいので、サージ電圧によって、半導体装置1が導通したときに電流集中が無く、破壊耐量が高くなっている。

【0052】

更に、第1、第2のベース層13a、13bと、第1、第2の埋込層12a、12bとの間に形成されるPN接合はプレーナ接合であり、球状接合や円筒接合が存在しないから、PN接合の中には部分的に耐圧の低い場所なく、電流集中が起きないようになっている。

【0053】

また、第1、第2の埋込層12a、12bは、半導体基板9表面からの拡散によって形成され、高濃度にできるので、第1、第2のベース層13a、13bと第1、第2の埋込層12a、12bとの間のPN接合のなだれ降伏電圧を用意に制御することができる。

【0054】

また、第1、第2のベース層13a、13bや第1、第2の埋込層12a、12b

2 b はパターニングされていないので、写真工程が少なくて済む。

【0055】

但し、第1、第2のベース層 13 a、13 b をパターニングした半導体装置も本発明に含まれる。

その半導体装置の製造工程を本発明の第2例の半導体装置として、第1例の半導体装置と同じ拡散層及び薄膜には同じ符号を付して以下に説明する。

【0056】

図7(a)を参照し、まず、この図7(a)は、図2(e)に対応する図面であり、上記実施例の場合とは異なり、P型の第1、第2のベース層 33 a、33 b は、第1、第2の埋込層 12 a、12 b の内部表面近傍に部分的に配置されており、半導体基板 9 の表面には、第1、第2のベース層 33 a、33 b の表面と第1、第2の埋込層 12 a、12 b の表面とが露出している。

【0057】

図7(a)は、第1、第2のベース層 33 a、33 b の表面と第1、第2の埋込層 12 a、12 b の表面にシリコン酸化膜 19 a、19 b が形成された状態である。

【0058】

第1、第2のベース層 33 a、33 b の平面形状は角部分が丸められた四角形になっており、その周囲には、第1、第2の埋込層 12 a、12 b が露出されている。

このような第1、第2のベース層 33 a、33 b の内部表面の近傍に、図7(b)に示すように、P⁺型の第1、第2のオーミック層 21 a、21 b と、N⁺型の第1、第2のエミッタ層 22 a、22 b を形成する。

【0059】

図9(a)はその状態の半導体基板 9 の表面側及び裏面側の表面状態を示している。図7(b)は、図9(a)のC-C線断面図に相当する。

【0060】

次いで、第1、第2のベース層 33 a、33 b の表面の外周部分、即ち、第1、第2のベース層 33 a、33 b と第1、第2の埋込層 12 a、12 bとの間で

形成されるPN接合の、半導体基板9の表面に露出している部分に沿って、図7(b)に示すように、リング形状の第1、第2の溝25a、25bを形成する。

第1、第2の溝25a、25bの外周には、第1、第2のベース層33a、33bは配置されておらず、符号35a、35bで示した第1、第2の埋込層12a、12bの表面に近い部分が露出している。

【0061】

次に、図7(c)に示すように、第1、第2の溝25a、25bを形成し、次いで、第1、第2の溝25a、25bの内部と、第1、第2の溝25a、25bの外周部分にシリコン酸化物が焼成されて成る第1、第2の保護膜26a、26bをそれぞれ形成した後、第1、第2の溝25a、25bの内側に、第1、第2の電極膜27a、27bを形成し、本発明の半導体装置2を作成する。

【0062】

第1、第2の溝25a、25bの深さは第1、第2のベース層33a、33bの深さよりも深く形成されており、第1、第2のベース層33a、33bと第1、第2の埋込層12a、12bとの間で形成されるPN接合の、球状接合部分と円筒接合部分は第1、第2の溝25a、25bによって除去されている。

【0063】

第1、第2の溝25a、25bよりも外側の半導体基板9表面には、埋込層12a、12bの表面が露出しており、その部分の埋込層12a、12b表面には、第1、第2の保護膜26a、26bがそれぞれ配置されている。

【0064】

第1の電極膜27aは、半導体基板9表面側の第1のエミッタ層22aと第1のオーム層21aに電気的に接続されており、第2の電極膜27bは、裏面側の第2のエミッタ層22bと第2のオーム層21bに電気的に接続されている。

【0065】

図9(b)は、第1、第2の保護膜26a、26bと第1、第2の電極膜27a、27bとを剥離した状態の本発明の半導体装置2の表面側及び裏面側の表面状態を示している。この半導体装置2でも、上記第1の実施例の半導体装置1と同

様に、第1、第2のエミッタ層22a、22bはメッシュ上に拡散されており、第1、第2のエミッタ層22a、22bが位置する領域内には、部分的に第1、第2のエミッタ層22a、22bが形成されておらず、表面に第1、第2のベース層33a、33bが露出する部分が散在している。

【0066】

図7(c)は、第1、第2のベース層33a、33bが散在する部分を通らない切断線C-C線で切断した断面図であり、図10は、散在する部分を通る切断線D-Dで切断した断面図である。

【0067】

この第2の実施例の半導体装置2でも、第1、第2のベース層33a、33bと基板層10とは接触しておらず、その間にはPN接合が形成されていない。また、第1、第2のベース層33a、33bと埋込層12a、12bとの間に形成されるPN接合はプレーナ接合であり、球状接合や円筒接合が存在しないから、そのPN接合の中に部分的に耐圧の低い場所がなく、電流集中が起きないようになっている。

【0068】

なお、以上はN型を第1の導電型とし、P型を第2の導電型としたが、その逆に、P型を第1の導電型とし、N型を第2の導電型にしてもよい。その場合は半導体基板がP型になり、第1、第2の埋込層がP⁺型になり、第1、第2のベース層がN型になり、第1、第2のエミッタ層がP⁺型になり、第1、第2のオミック層がN⁺型になる。

【0069】

【発明の効果】

少ない写真工程で、破壊しづらいサージ防護素子を得ることができる。

【図面の簡単な説明】

【図1】(a)～(d)：本発明の第1例の半導体装置の製造工程を説明するための図(1)

【図2】(e)～(h)：その続きの製造工程を説明するための図(2)

【図3】(i)～(k)：その続きの製造工程を説明するための図(3)

【図4】その半導体装置のエミッタ層の構造を説明するための図(1)

【図5】その半導体装置のエミッタ層の構造を説明するための図(2)

【図6】(a)、(b)：その半導体装置の平面形状を説明するための図

【図7】(a)～(c)：本発明の第2例の半導体装置の製造工程を説明するための図

【図8】その半導体装置のエミッタ層の構造を説明するための図

【図9】(a)、(b)：その半導体装置の平面形状を説明するための図

【図10】従来技術のサージ防護素子を説明するための図

【符号の説明】

1、2……半導体装置(サージ防護素子)

9……半導体基板

10……基板層

12a……第1の埋込層

12b……第2の埋込層

13a、33a……第1のベース層

13b、33b……第2のベース層

22a……第1のエミッタ層

22b……第2のエミッタ層

25a……第1の溝

25b……第2の溝

26a……第1の保護膜

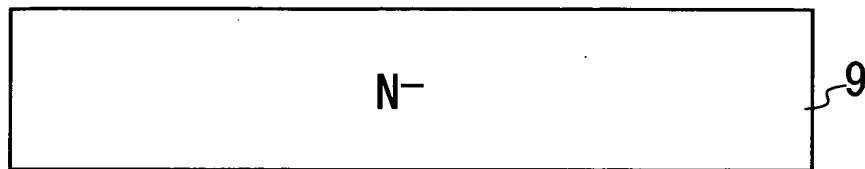
26b……第2の保護膜

27a……第1の電極膜

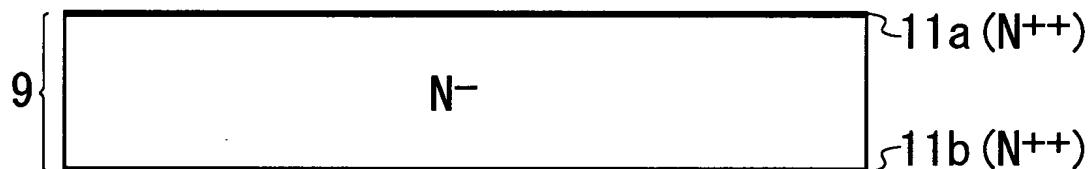
27b……第2の電極膜

【書類名】 図面

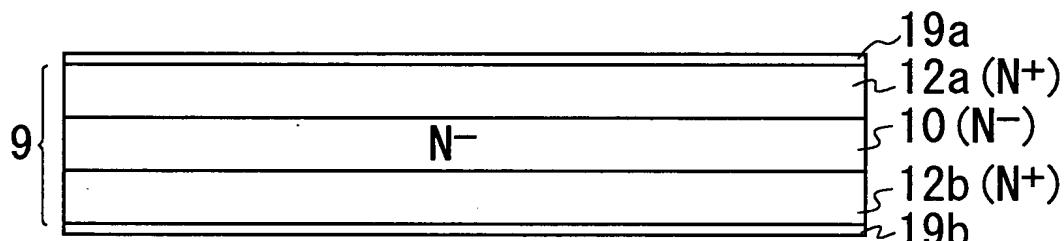
【図1】



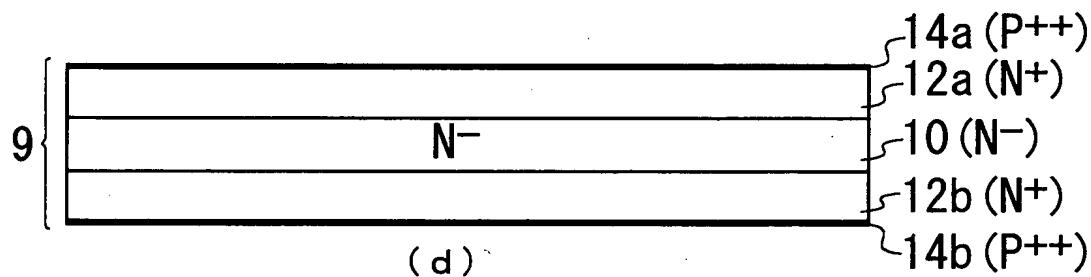
(a)



(b)

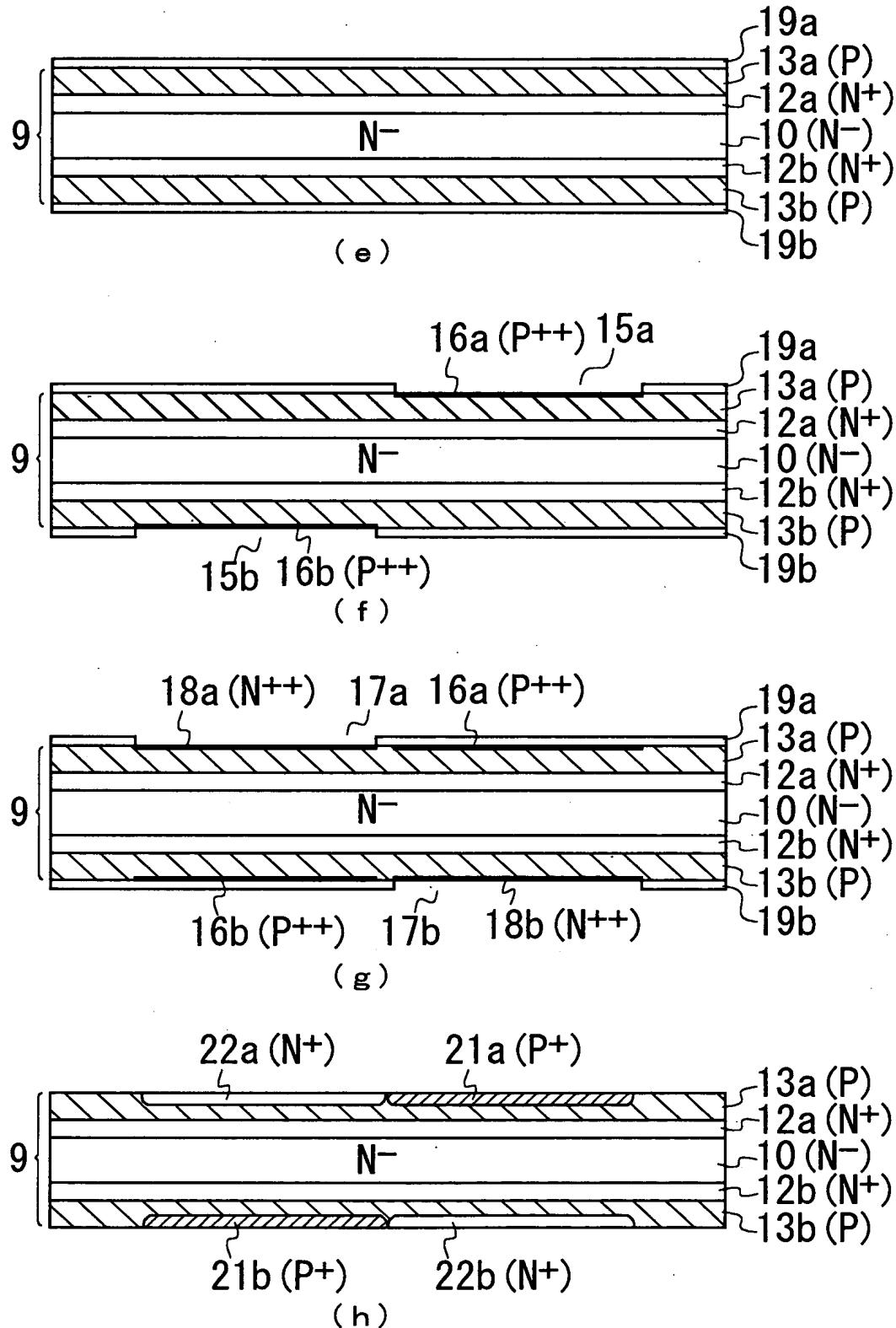


(c)

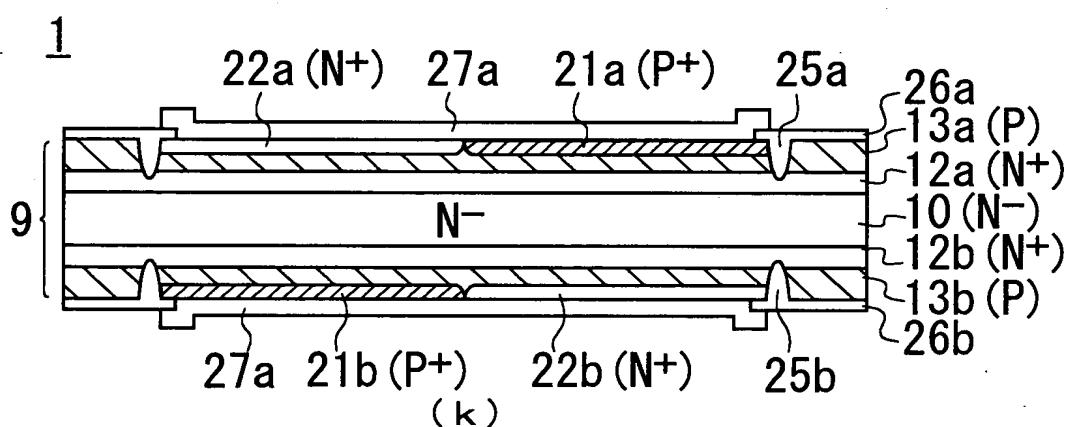
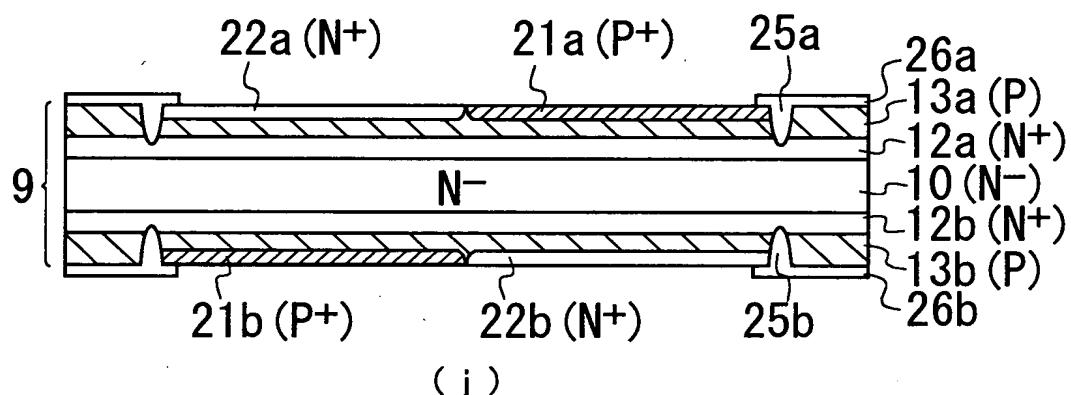
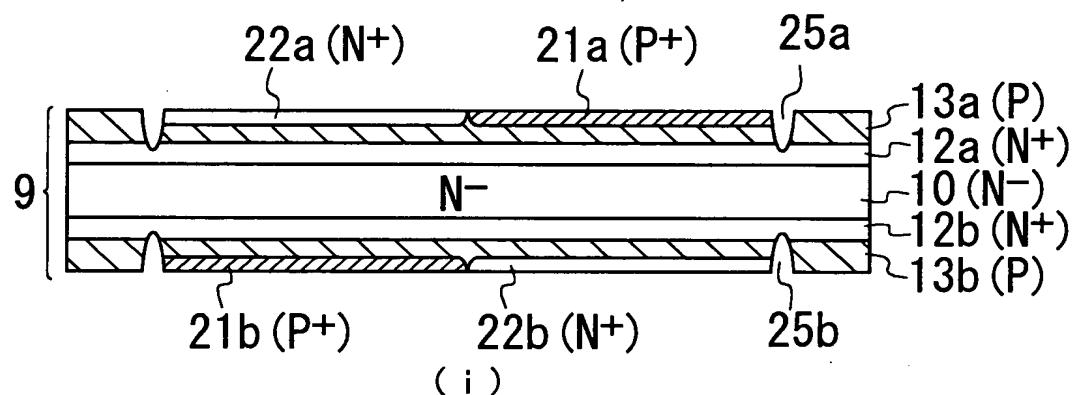


(d)

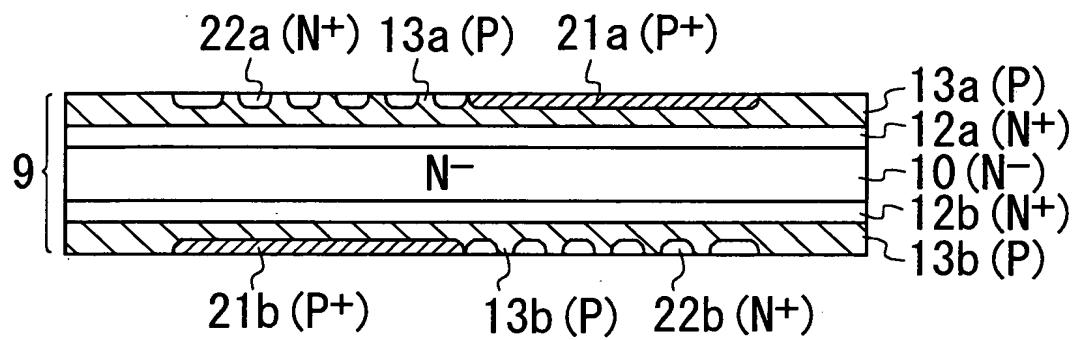
【図2】



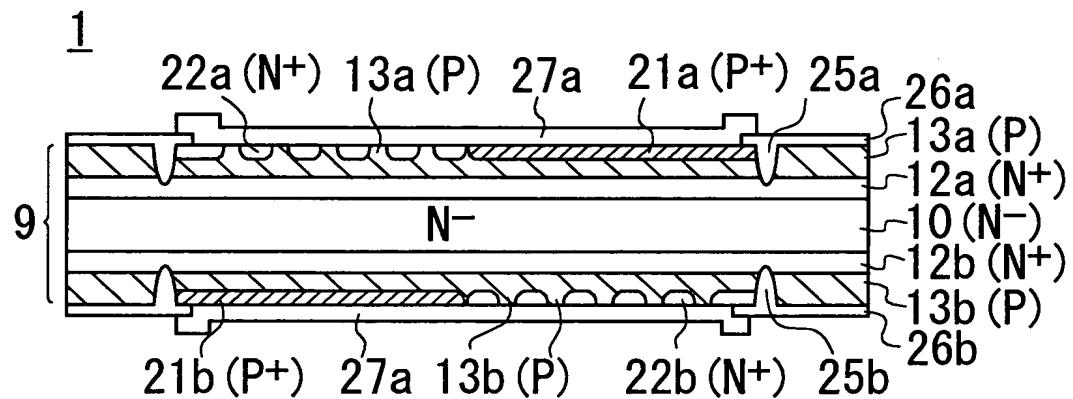
【図3】



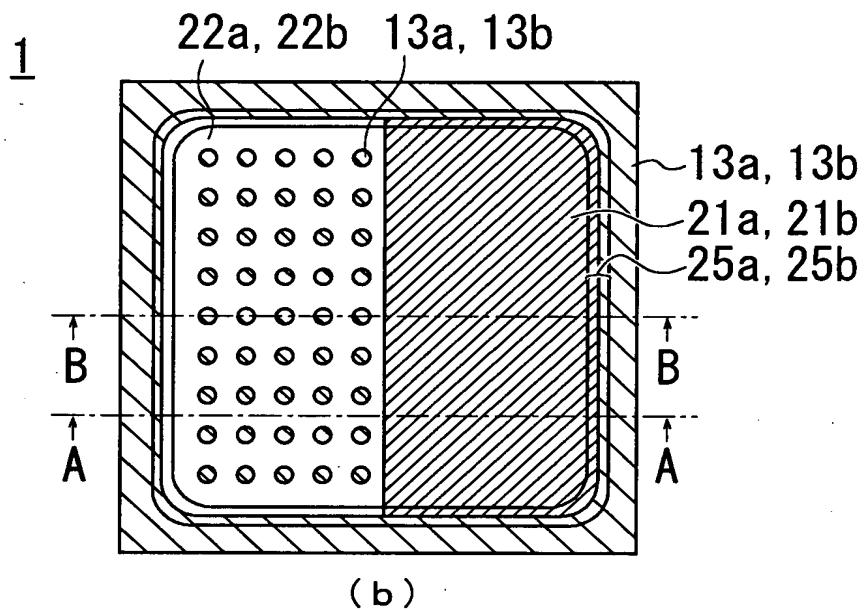
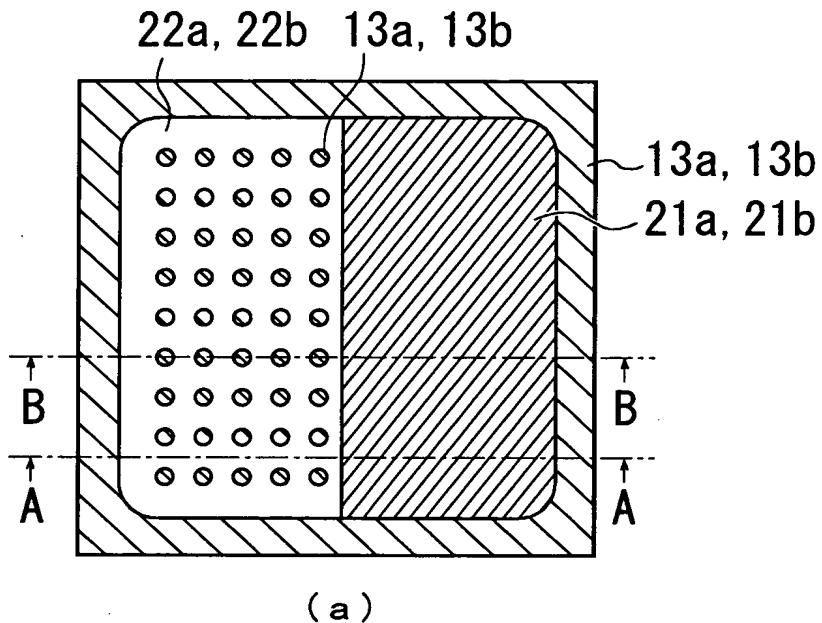
【図4】



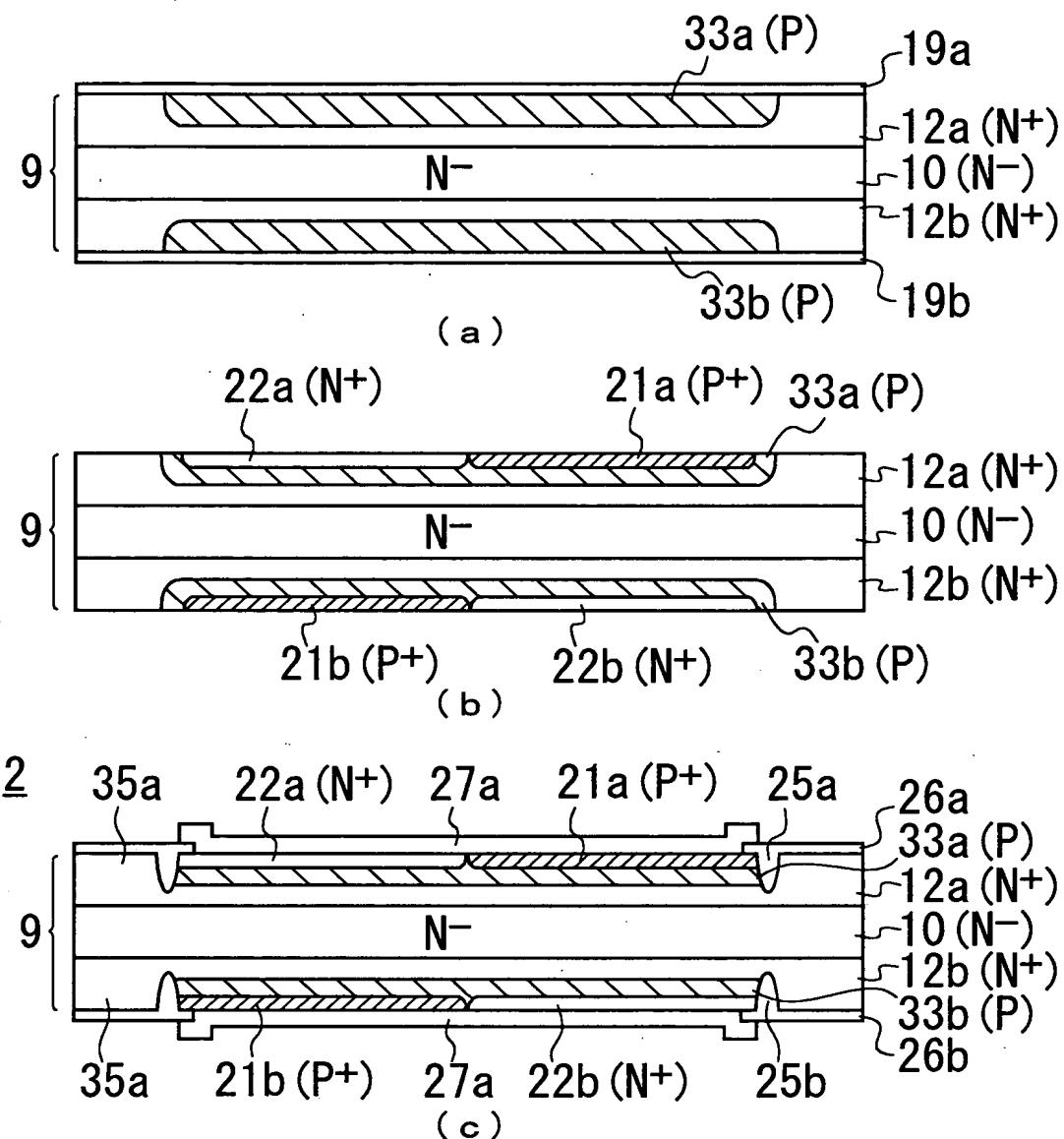
【図5】



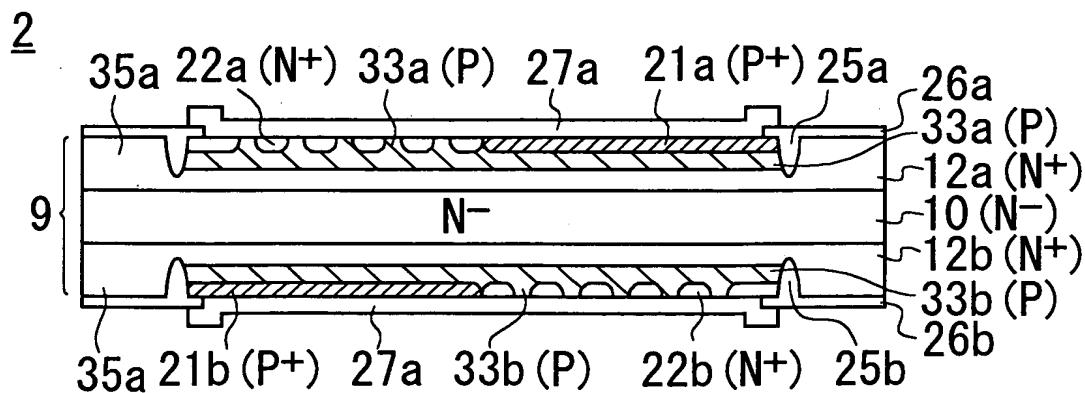
【図6】



【図7】

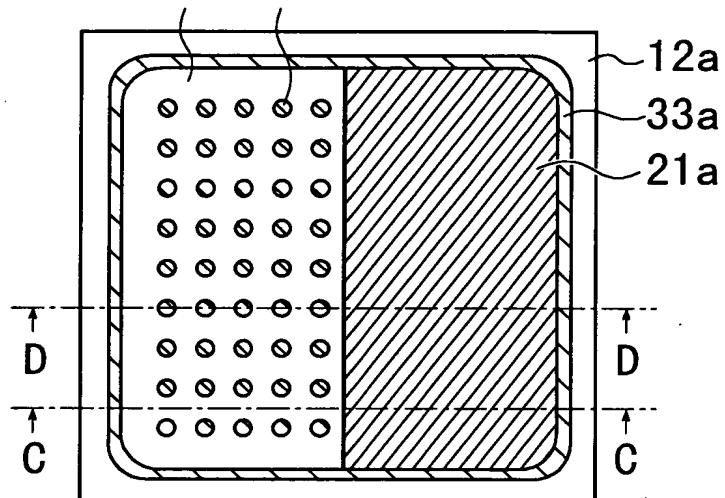


【図8】



【図9】

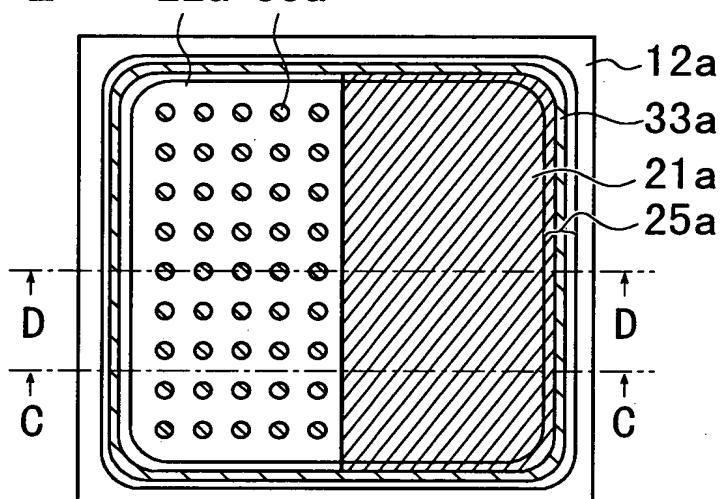
22a 33a



(a)

2

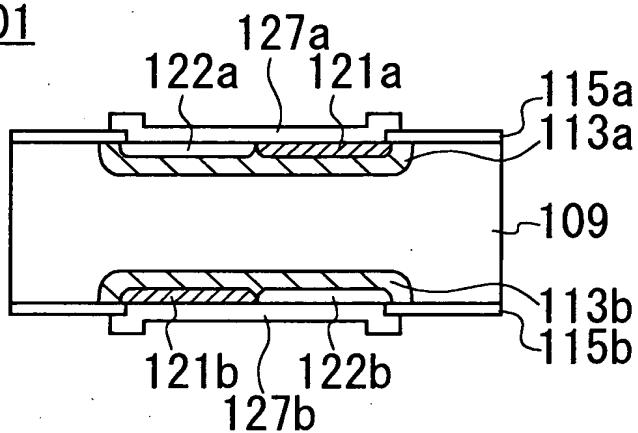
22a 33a



(b)

【図10】

101



【書類名】 要約書

【要 約】

【課題】 簡単な製造工程で信頼性が高いサージ防護素子を提供する。

【解決手段】 半導体基板9内に、第1、第2の埋込層12a、12bを全面拡散し、次いで、第1、第2の埋込層12a、12b内に、第1、第2のベース層13a、13bを全面拡散する。第1、第2のベース層13a、13b内に第1、第2のエミッタ層22a、22bを部分拡散する。第1、第2のエミッタ層22a、22bの周囲は、底部が第1、第2の埋込層12a、12bに達する第1、第2の溝25a、25bでそれぞれ囲っておく。第1、第2のベース層13a、13bと第1、第2の埋込層12a、12bとの間に形成されるPN接合はプレーナ接合だけになる。

【選択図】 図5

認定・付加情報

特許出願の番号	特願2000-382184
受付番号	50001622136
書類名	特許願
担当官	第七担当上席 0096
作成日	平成12年12月18日

<認定情報・付加情報>

【提出日】 平成12年12月15日

次頁無

出願人履歴情報

識別番号 [000002037]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 東京都千代田区大手町2丁目2番1号

氏 名 新電元工業株式会社